

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-054565

(43)Date of publication of application : 25.02.1997

(51)Int.Cl.

G09G 3/30

(21)Application number : 07-206344

(71)Applicant : DENSO CORP

(22)Date of filing : 11.08.1995

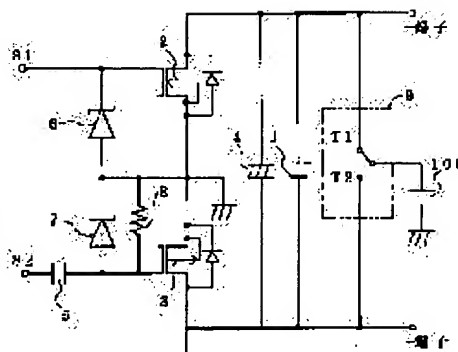
(72)Inventor : KINOSHITA HIROYUKI
OSADA MASAHIKO
HIMI KEIMEI

(54) LOAD DRIVING DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To output positive and negative AC voltages by using one power source without using two kinds of positive and negative power sources at the time of outputting the AC voltages to an EL element.

SOLUTION: A first FET 2 which makes and breaks the connection of the anode of the power source 1 and grounding voltage and a second FET 3 which makes and breaks the connection of the cathode of the power source 1 and the grounding voltage are alternately operated to turn on according to the control signal inputted to input terminals S1, S2 and further, the voltages of the anode and cathode of the power source 1 are selected by an output circuit 9 and are impressed on the EL element 100. Namely, the negative voltage is formed by the cathode of the power source 1 when the first FET 2 operates to turn on. The position voltage is formed from the anode of the power source 1 when the second FET 3 operates to turn on. These voltages are selectively outputted from the output circuit 9 and the AC voltage is impressed on the one electrode of the EL element 100.



LEGAL STATUS

[Date of request for examination]

04.11.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

[Patent number]

2897695

[Date of registration]

12.03.1999

[Number of appeal against examiner's decision of
rejection][Date of requesting appeal against examiner's decision
of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-54565

(43) 公開日 平成9年(1997)2月25日

(51) Int.Cl.⁶

G 0 9 G 3/30

識別記号

片内整理番号

4237-5H

F I

G 0 9 G 3/30

技術表示箇所

J

審査請求 未請求 請求項の数7 O L (全7頁)

(21) 出願番号 特願平7-206344

(22) 出願日 平成7年(1995)8月11日

(71) 出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(72) 発明者 木下 弘之

愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内

(72) 発明者 長田 雅彦

愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内

(72) 発明者 氷見 啓明

愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内

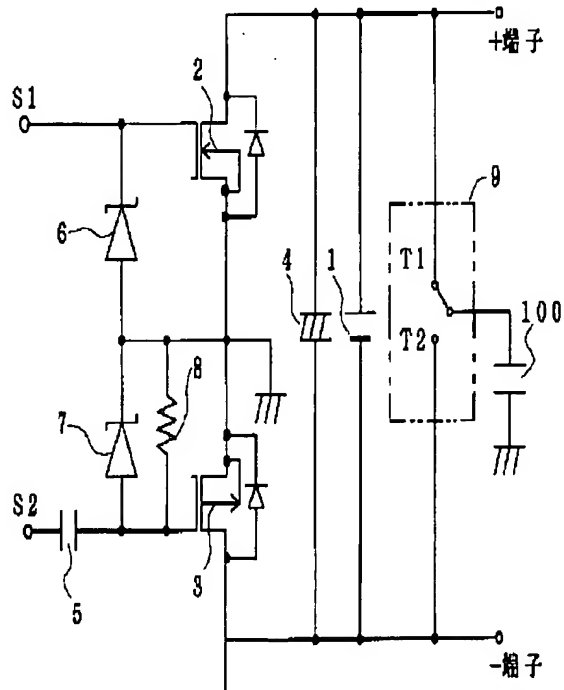
(74) 代理人 弁理士 伊藤 洋二

(54) 【発明の名称】 負荷駆動装置

(57) 【要約】

【課題】 EL素子に交流電圧を出力する際に、正負2種類の電源を用いずに1つの電源を用いて正負の交流電圧を出力する。

【解決手段】 電源1の陽極と接地電圧の接続を開閉する第1のFET2と、電源1の陰極と接地電圧の接続を開閉する第2のFET3とを、入力端子S1、S2に入力される制御信号に応じて択一的にオン作動させ、さらに電源1の陽極と陰極の電圧を出力回路9により選択してEL素子100に交流電圧として印加するようにした。すなわち、第1のFET2がオン作動した時には、電源1の陰極より負の電圧が作成され、第2のFET3がオン作動した時には、電源1の陽極より正の電圧が作成され、それらが選択的に出力回路9から出力されて、EL素子100の一方の電極に交流電圧が印加されるようにした。



【特許請求の範囲】

【請求項1】 電源（1）と、この電源の陽極と第1の基準電圧の接続を開閉する第1のスイッチング手段

（2）と、前記電源の陰極と第2の基準電圧の接続を開閉する第2のスイッチング手段（3）とを備え、前記第1、第2のスイッチング手段は制御信号に応じて択一的にオン作動するものであり、さらに前記電源の陽極と陰極の電圧を選択して負荷の駆動のために出力する選択出力手段（9）を備えたことを特徴とする負荷駆動装置。

【請求項2】 前記第1、第2の基準電圧は同一の電圧であることを特徴とする請求項1に記載の負荷駆動装置。

【請求項3】 前記第1、第2の基準電圧は共に接地電圧であることを特徴とする請求項2に記載の負荷駆動装置。

【請求項4】 前記第1、第2の基準電圧は互いに異なる電圧であることを特徴とする請求項1に記載の負荷駆動装置。

【請求項5】 前記選択出力手段は、プッシュプル動作にて前記電源の陽極と陰極の電圧を選択出力して負荷駆動を行う駆動回路（20、30）であることを特徴とする請求項1乃至4のいずれか1つに記載の負荷駆動装置。

【請求項6】 前記第1、第2のスイッチング手段は、寄生ダイオードを有するトランジスタであることを特徴とする請求項1乃至5のいずれか1つに記載の負荷駆動装置。

【請求項7】 第1の電源（1）と第2の電源（10）を有し、前記第1の電源の陽極と基準電圧の接続を開閉する第1のスイッチング手段（2）と、前記第2の電源の陽極と前記第1の電源の陰極の接続を開閉する第2のスイッチング手段（3）とを備え、前記第1、第2のスイッチング手段は制御信号に応じて択一的にオン作動するものであり、さらに前記第1の電源の陽極と陰極の電圧をプッシュプル動作にて選択してEL素子（100）の一方の電極（201、301…）に駆動電圧を出力する第1の駆動回路（20、30）と、前記第2の電源の陽極の電圧を用いて前記EL素子の他方の電極（401、402…）に駆動電圧を出力する第2の駆動回路（40）とを備えて、前記EL素子に正負のフィードで異なる極性の駆動電圧パルスを加加するようにしたことを特徴とするEL素子の駆動装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、EL（エレクトロルミネッセンス）素子等の負荷を駆動する負荷駆動装置に関する。

【0002】

【従来の技術および発明が解決しようとする課題】 図7

にEL素子の模式的な断面構成を示す。EL素子100は、ガラス基板101上に積層形成された、透明電極102、第1絶縁層103、発光層104、第2絶縁層105、背面電極106から構成されており、透明電極102、背面電極106間に交流電圧が印加されて発光する。

【0003】 ここで、背面電極106を接地した場合、透明電極102に正負の交流電圧を印加すればEL素子に交流電圧を印加することができる。このように一方の電極に正負の交流電圧を印加する場合、通常、正負2種類の電源が必要となり、電源回路が大型化するという問題がある。本発明は上記問題に鑑みたもので、EL素子等の負荷に交流電圧を出力する際に、正負2種類の電源を用いずに1つの電源を用いてEL素子に正負の交流電圧を印加することを目的とする。

【0004】

【発明の概要】 上記目的を達成するため、本発明は、電源の陽極と第1の基準電圧の接続を開閉する第1のスイッチング手段と、電源の陰極と第2の基準電圧の接続を開閉する第2のスイッチング手段とを、制御信号に応じて択一的にオン作動させ、さらに電源の陽極と陰極の電圧を選択して負荷の駆動のために出力するようにした点を第1の特徴としている。

【0005】 このことにより、第1のスイッチング手段がオン作動した時には、電源の陰極より第1の基準電圧を基準にした負極性側の電圧が作成され、第2のスイッチング手段がオン作動した時には、電源の陽極より第2の基準電圧を基準にした正極性側の電圧が作成される。従って、その作成された電圧を選択して出力することにより、1つの電源で正負の交流電圧が出力され、その出力によりEL素子等の負荷を駆動することができる。

【0006】 また、第1、第2のスイッチング手段は双方向性のものが一般的であるが、本発明では寄生ダイオードを有するトランジスタを用いることにより、その寄生ダイオードの作動を利用し回路を簡易化することができる。また、本発明は、第1の電源と第2の電源を有し、第1の電源の陽極と基準電圧の接続を開閉する第1のスイッチング手段と、第2の電源の陽極と第1の電源の陰極の接続を開閉する第2のスイッチング手段とを、制御信号に応じて択一的にオン作動させ、さらに第1の電源の陽極と陰極の電圧によりEL素子の一方の電極に駆動電圧を出力し、また第2の電源の陽極の電圧を用いてEL素子の他方の電極に駆動電圧を出力するようにした点を第2の特徴としている。

【0007】 このことにより、第1のスイッチング手段がオン作動した時には、第1の電源の陽極より基準電圧が出力され、陰極より基準電圧を基準にした負極性側の電圧が出力される。また、第2のスイッチング手段がオン作動した時には、第1の電源の陽極より第1、第2の電源のそれぞれの電圧の和となる正極性側の電圧が出力

され、陰極より第2の電源の電圧が出力される。

【0008】従って、第1、第2のスイッチング手段の作動により、第1の電源から4つの異なる電圧を出力することができ、その出力電圧によりEL素子の一方の電極の駆動電圧とし、さらに第2の電源の電圧を用いてEL素子の他方の電極の駆動電圧とすることにより、EL素子に正負のフィールドで極性の異なる交流電圧を印加してEL素子を発光させることができる。その場合、第2の電源をそれぞれの駆動電圧の作成に用いて回路の簡素化を図ることができる。

【0009】

【発明の実施の形態】

（第1実施形態）図1は本発明の第1実施形態を示す回路図である。この図1に示す電源回路において、単一の電源1を有し、その陽極はNチャンネルFET（第1のスイッチング手段）2を介して接地され、陰極はPチャンネルFET（第2のスイッチング手段）3を介して接地されるように構成されている。また、この電源1と並列に平滑用のコンデンサ4が設けられている。

【0010】NチャンネルFET2には、入力端子S1から制御信号が入力され、PチャンネルFET3には、入力端子S2からカップリングコンデンサ5を介して制御信号が入力される。なお、入力保護用として、ツェナーダイオード6、7、抵抗8が設けられている。この電源回路の出力段には出力回路9が設けられており、その出力電圧がEL素子100の一方の電極に印加される。また、EL素子100の他方の電極は接地されている。

【0011】上記構成において、その作動を図2に示すタイミングチャートを参照して説明する。なお、図2中のGNDは接地電圧を示している。入力端子S1、S2には、図2に示すように、ハイレベルとローレベルの制御信号が入力される。制御信号が共にローレベルの時には、NチャンネルFET2がオフし、PチャンネルFET3がオンする。従って、+端子には電源1の電圧Vが出力され-端子には接地電圧が出力される。

【0012】また、制御信号が共にハイレベルの時には、NチャンネルFET2がオンし、PチャンネルFET3がオフする。従って、+端子には接地電圧が出力され、-端子には-Vの電圧が出力される。一方、出力回路9は、制御信号と連動して図2に示すタイミングでT1とT2のスイッチ状態に交互に切り換わる。その切り換えに伴い、±Vの電圧と接地電圧とによる図2の交流電圧が出力される。その交流電圧は、EL素子100の一方に印加されるため、EL素子100が発光する。

【0013】S1、S2がハイレベルの時、NチャンネルFET2がオンしているので、この時、T1がオンしていれば出力はGNDになる。S1、S2がローレベルになるとPチャンネルFET3がオンしているので、T1はそのままで出力はVになる。S1、S2がそのままT1からT2がオンすると出力はGNDになり、E

L素子の電荷はT2からFET3の寄生ダイオードを通じてGNDに流れる。スイッチT1、T2の切り換えタイミングとS1、S2の状態変化によって電圧が出力される時間（パルス幅） T_p 、 T_n が決定される。

【0014】図3に上記した出力回路9の具体的な構成を示す。出力回路9は、PチャンネルFET9a、NチャンネルFET9bを有しており、入力端子9c、9dから入力されるハイレベル、ローレベルの信号（入力端子S1、S2に入力される制御信号と連動した信号）に応じて、いずれかのFETがオンし、+端子、-端子の電圧の一方を出力するように構成されている。なお、図中の9e、9fは寄生ダイオードである。

【0015】上記した実施形態においては、接地電圧を基準にして、±Vの交流電圧を出力するものを示したが、FET2、3を介して電源1に接続される電圧を接地電圧でなく所定の基準電圧を発生する第2の電源とすれば、その基準電圧を中心とした交流電圧を出力することができる。この場合、EL素子の他方の電極に上記した基準電圧と同一の電圧を印加しておけば、上記した実施形態と同様にEL素子100を発光させることができる。

（第2実施形態）上記第1実施形態においては、EL素子を単に発光させる回路について示したが、EL素子によりセグメント表示、あるいはマトリクス表示を行うこともできる。本実施形態においては、EL素子によりマトリクス表示を行うものについて説明する。

【0016】図4にこの第2実施形態を示すEL表示装置の全体構成を示す。このEL表示装置におけるEL表示パネル100'は、図7に示すEL素子の透明電極102、背面電極106を行列上に複数配置して走査電極およびデータ電極として構成されている。図4は、行方向に奇数走査電極201、202、…、偶数走査電極301、302、…が形成され、列方向にデータ電極401、402、403、…が形成されている例である。

【0017】走査電極201、301、202、302、…とデータ電極401、402、403、…とのそれぞれの交差領域には、画素としてのEL素子111、112、…121、…が形成されている。なお、EL素子は容量性の素子であるため、図ではコンデンサの記号で表している。このEL表示パネル100'の表示駆動を行うために、走査側ドライバIC20、30およびデータ側ドライバIC40が設けられている。

【0018】走査側ドライバIC20は、プッシュプルタイプの駆動回路であり、奇数走査電極201、202、…に接続されたPチャンネルFET21a、22a、…とNチャンネルFET21b、22b、…を有し、制御回路200からの出力に従って奇数走査電極201、202、…に走査電圧を印加する。また、FET21a、21b、22a、22b、…のそれぞれには、寄生ダイオード21c、21d、22c、22d、…が

形成されており、走査電極の電圧を所望の基準電圧に設定する。

【0019】走査側ドライバIC30も同様の構成で、制御回路300、PチャンネルFET31a、32a、…とNチャンネルFET31b、32b、…を有して、偶数走査電極301、302、…に走査電圧を供給する。データ側ドライバIC40も同様に、制御回路400、PチャンネルFET41a、42a、…とNチャンネルFET41b、42b、…を有して、データ電極401、402、403、…にデータ電圧を供給する。

【0020】図5に、上記した走査側ドライバIC20、30、データ側ドライバIC40に電圧供給を行う電圧供給回路Aの構成を示す。図5において、電圧供給回路Aには、電圧Vmを出力する第2の電源10が設けられており、電源1（以下、この第2実施形態においては第1の電源という）は、PチャンネルFET3がオンした時、その陰極と第2の電源10の陽極が接続され、電圧Vmを基準とした電圧を第1の電源の陽極から出力する。

【0021】第2の電源10は、電圧供給ラインL3、L4を介して電圧Vm、接地電圧をデータ側ドライバIC40に供給する。また、第1の電源1は、電圧供給ラインL1、L2を介して走査電圧を形成するための電圧を走査側ドライバIC3に供給する。なお、第1の電源1は、本実施形態においては $V_r - V_m$ の電圧を有するものとしている。ここで、 V_r は発光に必要な駆動電圧を示す。

【0022】また、NチャンネルFET2およびPチャンネルFET3には、フィルタ回路11、12を介して制御信号が入力されるようになっており、その他の構成で図1に示すものと同一の符号が付された部分については、図1に示すものと同一又は均等の構成を示している。図1の電源1は発光に十分な電圧が必要であるが、図5の電源1は発光しきい値以下の必要がある。

【0023】上記構成において、図1に示すものと同様、入力端子S1、S2にローレベルの制御信号が入力されると、NチャンネルFET2がオフし、PチャンネルFET3がオンする。従って、第1の電源1の陰極から第2の電源10の電圧Vmが電圧供給ラインL2に出力され、また陽極から電圧 $V_r (=V_r - V_m + V_m)$ が電圧供給ラインL1に出力される。

【0024】また、入力端子S1、S2にハイレベルの制御信号が入力されると、NチャンネルFET2がオンし、PチャンネルFET3がオフする。従って、第1の電源1の陰極から $-V_r + V_m$ の電圧が電圧供給ラインL2に出力され、また陽極から接地電圧が電圧供給ラインL1に出力される。従って、後述する正フィールドの駆動の場合（入力端子S1、S2への制御信号が共にローレベルの場合）には、電圧供給ラインL1、L2から V_r とVmの電圧がそれぞれ出力され、後述する負フ

ールドの駆動の場合（入力端子S1、S2への制御信号が共にハイレベルの場合）には、電圧供給ラインL1、L2から接地電圧と $-V_r + V_m$ の電圧がそれぞれ出力される。

【0025】上記構成において、EL素子を正負のフィールドでマトリクス駆動する場合の作動について図6のタイミングチャートを参照して説明する。

（正フィールド）図5の入力端子S1、S2への制御信号を共にローレベルにする。このことにより上記したように電圧供給ラインL1、L2から V_r とVmの電圧がそれぞれ出力される。また、電圧供給ラインL3、L4からVmの電圧と接地電圧がそれぞれ出力される。

【0026】この時、走査電極201、301、202、302、…の電圧は、走査側ドライバIC20、30のFETの寄生ダイオードの作動により、電圧Vmとなっている。また、データ側ドライバIC40のFET41a、42a、43a、…側をオンし、データ電極の電圧をVmにする。この状態では、全てのEL素子に印加される電圧が0Vになるため、EL素子は発光しない。

【0027】この後、正フィールドでの発光動作を開始する。まず、1行目の走査電極201に接続されている走査側ドライバIC20のPチャンネルFET21aをオンにして、走査電極201の電圧を V_r にする。また、他の走査電極に接続されている走査側ドライバIC20、30の出力段FETを全てオフにしそれらの走査電極をフローティング状態にする。

【0028】また、データ電極401、402、403、…のうち発光させたいEL素子のデータ電極に接続されているデータ側ドライバIC40のPチャンネルFETをオフ、NチャンネルFETをオンにし、発光させたくないEL素子のデータ電極に接続されているデータ側ドライバIC40のPチャンネルFETをオン、NチャンネルFETをオフにする。

【0029】このことにより、発光させたいEL素子のデータ電極の電圧が接地電圧になるため、EL素子にしきい値電圧以上の電圧 V_r がかかりEL素子が発光する。また、発光させたくないEL素子のデータ電極の電圧はVmのままとなり、EL素子には $V_r - V_m$ の電圧が印加される。この $V_r - V_m$ の電圧は、しきい値電圧より低く設定されておりEL素子は発光しない。

【0030】図6のタイミングチャートでは、データ側ドライバIC40のPチャンネルFET41aをオフ、NチャンネルFET41bをオンにして、EL素子111に V_r の電圧を印加し、EL素子111を発光させる状態を示している。この後、1行目の走査電極201に接続されている走査側ドライバIC20のPチャンネルFET21aをオフにし、NチャンネルFET21bをオンすることにより、走査電極201上のEL素子に蓄積した電荷を放電する。

【0031】次に、2行目の走査電極301に接続されている走査側ドライバIC3のPチャンネルFET31aをオンして、走査電極301の電圧を V_r にする。また、他の走査電極に接続されている走査側ドライバIC20、30の出力段FETを全てオフにしそれらの走査電極をフローティング状態にする。また、データ電極401、402、403、…の電圧レベルを、発光させたいEL素子と発光させたくないEL素子に応じた電圧レベルとすることにより、上記したのと同様にして2行目のEL素子の発光駆動を行う。

【0032】図6のタイミングチャートでは、データ側ドライバIC40のPチャンネルFET41aをオン、NチャンネルFET41bをオフにし、データ電極401の電圧を V_m として、EL素子121に $V_r - V_m$ の電圧を印加し、EL素子121を発光させない状態を示している。その後、2行目の走査電極301に接続されている走査側ドライバIC3のPチャンネルFET31aをオフにし、NチャンネルFET31bをオンすることにより、走査電極301上のEL素子に蓄積した電荷を放電する。

【0033】以後、同様にして、最後の走査線に至るまで上記作動を繰り返す、線順次走査を行う。

(負フィールド) 図5の入力端子S1、S2への制御信号を共にハイレベルにする。このことにより上記したように電圧供給ラインL1、L2から接地電圧と $-V_r + V_m$ の電圧がそれぞれ出力される。

【0034】この時、走査ドライバIC20、30の寄生ダイオードの作動により、走査電極は接地電圧となる。また、データ側ドライバIC40のFET41b、42b、43b…側をオンし、データ電極の電圧を接地電圧にする。この状態では、全てのEL素子に印加される電圧が0Vになるため、EL素子は発光しない。以下、負フィールドも正フィールドと同様に線順次走査を行う。

【0035】表示選択を行う行の走査電極には $-V_r + V_m$ を印加する。データ電極側においては、正フィールドとは逆に、発光させたいデータ電極の電圧を V_m にし、発光させたくないデータ電極に対しては接地電圧のままにする。従って、 $-V_r + V_m$ の電圧が印加されている走査電極に対し、データ電極に電圧 V_m が印加されると、それに対するEL素子に $-V_r$ の電圧が印加されEL素子が発光する。また、データ電極の電圧が接地電圧であると、EL素子にしきい値電圧より低い $-V_r + V_m$ が印加されるためEL素子は発光しない。

【0036】そして、上記した正負フィールドの駆動により1サイクルの表示動作が終了し、これを繰り返し行う。この第2実施形態において、正フィールド時の駆動に用いる電圧 V_m はオフセット電圧として機能する。すなわち、走査側ドライバIC20、30には、正フィー

ルドにおいて $V_r - V_m$ の電圧が印加され、負フィールドにおいて $-V_r + V_m$ の電圧が印加される。従って、走査側ドライバIC20、30の耐圧を、オフセット電圧 V_m 分だけ低くすることができ、走査側ドライバIC20、30の低耐圧化を図ることができる。

【0037】また、発光タイミング時にオフセット電圧 V_m から駆動用の電圧 V_r に変化させているため、その電圧変化を小さくすることができ、EL素子に流れるピーク電流を低くでき、EL素子の信頼性を向上させることができる。セグメント表示における実施形態としては、図5においてデータ側ドライバICをなくし、EL素子の電極の一方をGNDにする。そして、電源10もなくしFET3のソースをGNDにする。この場合、電源供給回路Aは図1に相当する。なお、この時はELを発光させるために電源1は発光に十分な電圧である必要がある。

【0038】なお、上記した種々の実施形態においては、本発明をEL素子の駆動回路に適用するものを示したが、1つの出力線から正負の交流電圧を受けて動作する負荷を駆動するものであれば、EL素子以外にも本発明を適用することができる。その場合、第1実施形態に示すものにおいて、作成される正負の電圧をプッシュプル動作で選択的に出力して負荷駆動するようにしてもよい。

【0039】また、ドライバICはPチャンネルFETとNチャンネルFETを接続した構造のプッシュプルであるが、NチャンネルFETのみで構成されたプッシュプルドライバでもよい。また、NチャンネルFET2、PチャンネルFET3のかわりにNPNとPNPのバイポーラトランジスタをそれぞれ用いてもよい。

【図面の簡単な説明】

【図1】本発明の第1実施形態を示す回路図である。

【図2】図1中の各部の作動を示すタイミングチャートである。

【図3】図1中の出力回路の具体的構成を示す回路図である。

【図4】本発明の第2実施形態を示すEL表示装置の全体構成図である。

【図5】本発明の第2実施形態に係る電圧供給回路の構成を示す構成図である。

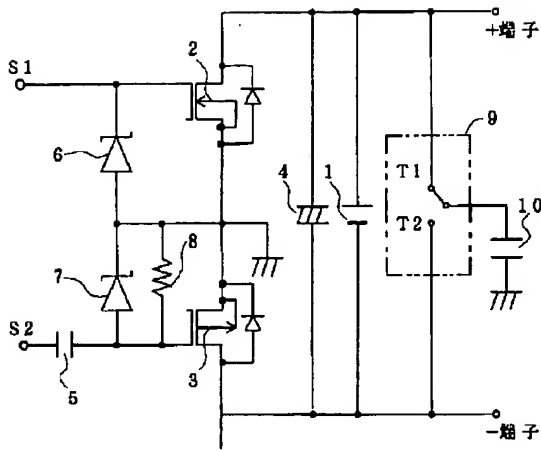
【図6】図4の構成における駆動タイミングチャートである。

【図7】EL素子の模式的な断面構成図である。

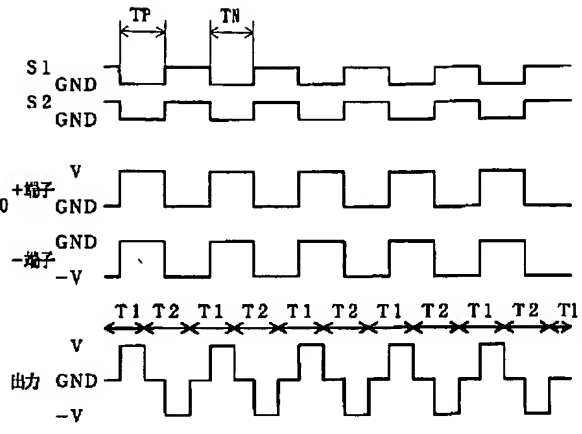
【符号の説明】

1、10…電源、2…NチャンネルFET、3…PチャンネルFET、9…出力回路、20、30…走査側ドライバIC、40…データ側ドライバIC、100…EL素子、100'…EL表示パネル。

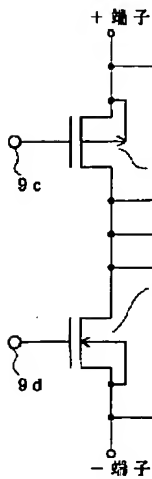
【図1】



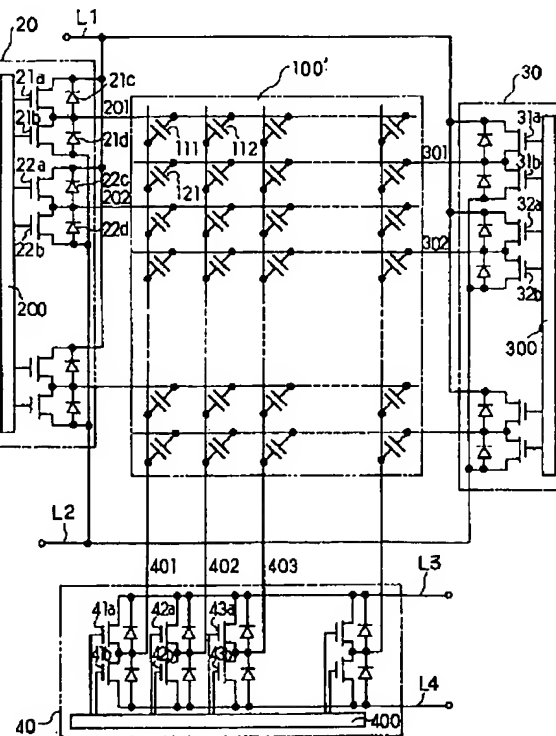
【図2】



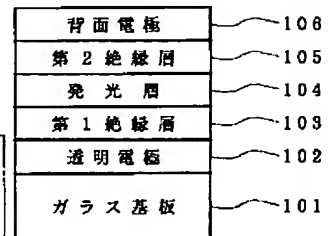
【図3】



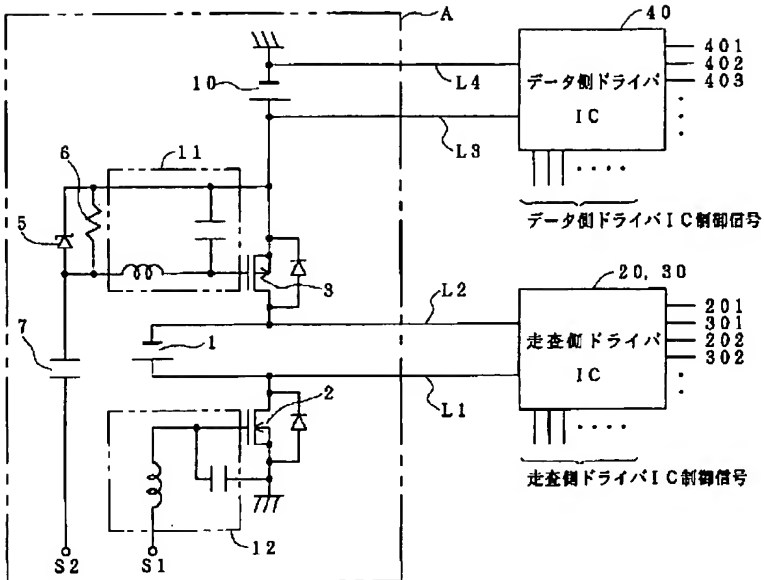
【図4】



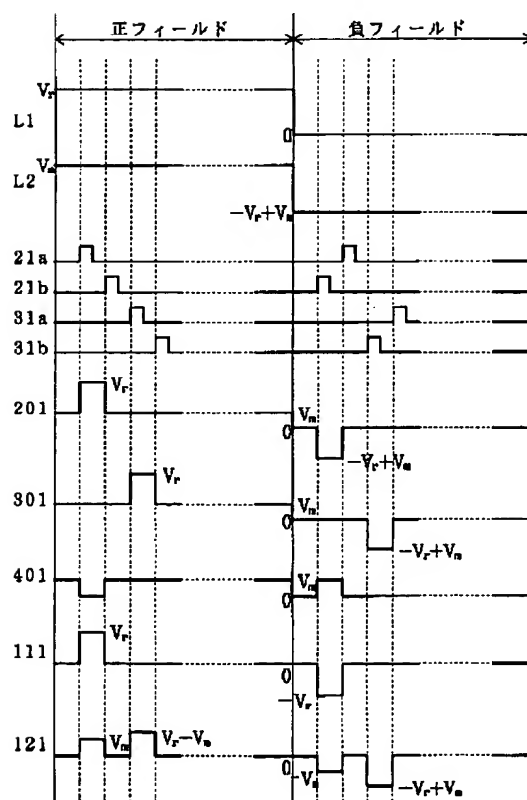
【図7】



【図 5】



【図6】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.
As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.